

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-219524

(43)Date of publication of application : 19.08.1997

(51)Int.Cl.

H01L 29/786

H01L 29/78

(21)Application number : 08-023797

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.02.1996

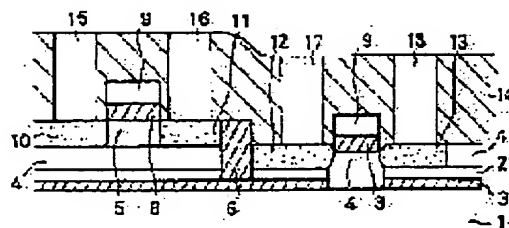
(72)Inventor :  
IMAI KIYOSHI  
SUGIYAMA NAOHARU  
USUDA KOJI  
TEZUKA TSUTOMU  
HIRAOKA YOSHIKO  
KUROBE ATSUSHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

PROBLEM TO BE SOLVED: To form an N-MOSFET using a tensile strained Si layer and a P-MOSFET using a compression strand SiGe layer are formed on the same substrate with an excellent matching property, and to manufacture a high speed and highly efficient integrated transistor having sufficient characteristics of the above-mentioned two distorted layers.

SOLUTION: After a part of substrate surface has been exposed by providing an aperture by conducting selective etching on a SOI substrate, the SOI layer 2 of the SOI substrate and an insulating layer 3, an SiGe layer, which is in a lattice relaxed state on the SOI layer 3, is formed on the surface of the substrate by conducting an epitaxial growth process, and an SiGe 4, which is in a compression strain state on the aperture part, is formed. An Si layer in a tensile strain state is formed on the lattice relaxed SiGe layer of the SOI layer, and it is used as the channel of an N-MOSFET.



## LEGAL STATUS

[Date of request for examination]

14.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-219524

(43) 公開日 平成9年(1997)8月19日

(51) Int.Cl.<sup>6</sup>H01L 29/786  
29/78

識別記号

庁内整理番号

F I

H01L 29/78

技術表示箇所

618D  
301X

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号

特願平8-23797

(22) 出願日

平成8年(1996)2月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 今井 聖支

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 杉山 直治

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 白田 宏治

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 弁理士 外川 英明

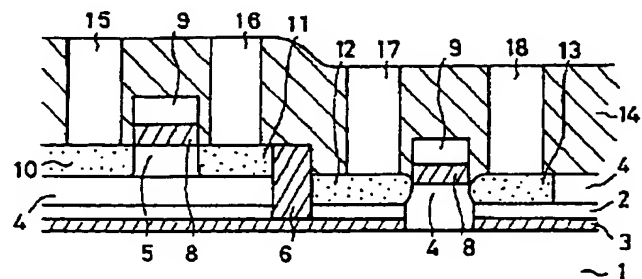
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 同一基板上に引っ張り歪状態のSi層を用いたNMOSFETと圧縮歪SiGe層を用いたPMOSFETを整合性よく形成し、それら二つの歪層の特性を十分に引き出した高速・高性能な集積化トランジスタを実現する。

【解決手段】 SOI基板と、このSOI基板のSOI層2及び絶縁層3を選択エッチングにより開口して基板表面の一部を露出させた後、この基板表面上にエピタキシャルプロセスにより形成することで、SOI層2上では格子緩和状態のSiGe層が形成され、開口部上では圧縮歪状態のSiGe4が形成される。この圧縮歪状態のSiGe4をPMOSFETのチャネルにし、SOI層上の格子緩和状態のSiGe層上に引っ張り歪み状態のSi層5を形成しこれをNMOSFETのチャネルとする。



(2)

## 【特許請求の範囲】

【請求項1】シリコン基板と、

このシリコン基板上に形成された絶縁層と、

この絶縁層上に形成されたシリコン層と、

このシリコン層上に形成された格子緩和状態のシリコンゲルマニウム層と、

このシリコンゲルマニウム層上に形成された引っ張り歪み状態のシリコン層と、

この引っ張り歪み状態のシリコン層中に形成されたソース領域、チャネル領域、ドレイン領域と、

このチャネル領域上に形成されたゲート領域と、

前記シリコン基板の前記絶縁層が形成されていない表面に直接形成された、圧縮歪み状態のシリコンゲルマニウム層と、

この圧縮歪み状態のシリコンゲルマニウム層中に形成されたソース領域、チャネル領域、ドレイン領域と、

このチャネル領域上に形成されたゲート領域とを具備することを特徴とする半導体装置。

【請求項2】前記格子緩和状態のシリコンゲルマニウム層と、前記圧縮歪み状態のシリコンゲルマニウム層とを同時に形成していることを特徴とする請求項1記載の半導体装置。

【請求項3】シリコン基板と、

このシリコン基板上に形成された絶縁層と、

この絶縁層上に形成された第1の領域のシリコン層と、

前記絶縁層上に形成され前記第1の領域のシリコン層の膜厚よりも厚い第2の領域のシリコン層と、

前記第1の領域のシリコン層上に形成された格子緩和状態のシリコンゲルマニウム層と、

このシリコンゲルマニウム層上に形成された引っ張り歪み状態のシリコン層と、

この引っ張り歪み状態のシリコン層中に形成されたソース領域、チャネル領域、ドレイン領域と、

このチャネル領域上に形成されたゲート領域と、

前記第2の領域のシリコン層上に形成された圧縮歪み状態のシリコンゲルマニウム層と、

この圧縮歪み状態のシリコンゲルマニウム層中に形成されたソース領域、チャネル領域、

ドレイン領域と、

このチャネル領域上に形成されたゲート領域とを具備することを特徴とする半導体装置。

【請求項4】前記引っ張り歪み状態のシリコン層中に形成されたチャネル領域を主に電子の流れる領域とし、前記圧縮歪み状態のシリコンゲルマニウム中に形成されたチャネル領域を主に正孔の流れる領域としていることを特徴とする請求項1、2 或いは3記載の半導体装置。

【請求項5】シリコン基板上に絶縁層を介してシリコン層が形成された基板を準備し、前記シリコン層及び前記絶縁層の一部を開口し前記シリコン基板の表面を露出する工程と、

エビタキシャルプロセスにより、前記絶縁層上の前記シリコン層上には格子緩和状態のシリコンゲルマニウム層を、前記シリコン基板の露出した表面上には圧縮歪み状態のシリコンゲルマニウム層を同時に形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項6】部分的に開口された絶縁層を表面に有するシリコン基板全面に非晶質シリコン層を形成する工程と、

熱処理によって、前記開口された絶縁層のシリコン基板表面が露出している部分から前記非晶質シリコンを結晶化する工程と、

エビタキシャルプロセスにより、前記絶縁層上に形成された結晶化シリコン層上には格子緩和状態のシリコンゲルマニウム層、前記絶縁層の開口部に形成された結晶化シリコン基板上には圧縮歪み状態のシリコンゲルマニウム層を同時に形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項7】イオン注入及びその後の熱処理によって、シリコン基板の内部に部分的に絶縁層を形成する工程と、

エビタキシャルプロセスにより、前記シリコン基板の絶縁層が存在する領域上には格子緩和状態のシリコンゲルマニウム層を、前記シリコン基板の絶縁層が存在しない領域上には圧縮歪み状態のシリコンゲルマニウム層を同時に形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項8】エビタキシャルプロセスにより、前記格子緩和状態のシリコンゲルマニウム層上に、引っ張り歪み状態のシリコン層を形成することを特徴とする請求項5、6 或いは7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術の分野】本発明は半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、シリコンMOSFETの高速化を図るためにシリコンとゲルマニウムのヘテロ構造を利用する試みがなされている。例えばNMOSFETの高速化を図るために、シリコン基板上に格子緩和させたシリコンゲルマニウムバッファ層を介して、この上に引っ張り歪み状態のシリコン層を形成し、この引っ張り歪み状態のシリコン層をチャネルとして利用する方法が提案されている。この引っ張り歪み状態のシリコン層ではバルクのシリコンと比較して電子移動度が増大するため、MOSFETを高速化できることが知られている(IEDM Tech. Digest, 1994, p3 73-376)。しかしながら、この技術を用いて引っ張り歪み状態のシリコン層を得るためには、シリコンゲルマニウムバッファ層を格子緩和状態にするために、2 $\mu$ m程度と厚く形成する必要がある。このような厚い膜を用いて作製したMOSFETでは、ソース・ドレイン間の寄生容量が増

(3)

大し、結果的に高速化が困難となる。

【0003】この問題を解決する方法として、表面に薄いシリコン層(SOI層)を有するSOI(silicon on insulator)基板を利用して、その上に格子緩和させたシリコンゲルマニウムバッファ層を形成する技術が提案されている( Appl. Phys. Lett, 64 (14), p1856-1858, 1994) 。この方法では、SiGe層/SOI層/SiO<sub>2</sub>層の積層構造を形成した後、700℃程度の低温熱処理を行いSOI層にのみ転位を発生させることにより、SiGe層を転位をとともなく格子緩和させることができる。このとき、SiGe層を十分に格子緩和させるためにはSOI層の膜厚をSiGe層よりも薄くする必要がある。この後SiGe層上にエピタキシャル法を用いて50nm程度の薄いSi層を形成することにより、数百nm程度の薄いSiGe層上に引っ張り歪状態のSi層を形成することができる。

【0004】ここで、Si層及びSiGe層のエピタキシャルプロセスについてはB. S. Meyersonらの“Low temperature silicon epitaxy by UHV/CVD” Appl. Phys. Lett, vol48, p797-799, 1986及び“Cooperative growth phenomena in silicon/germanium low-temperature epitaxy” Appl. Phys. Lett, vol53, p2555-2557, 1988に記載されている。

【0005】一方PMOSFETの高速化を図るためには、Si基板上に圧縮歪状態のSiGe層を形成し、これをチャネルとして利用する方法が知られている。この圧縮歪状態のSiGe層はバルクSiと比較して正孔移動度が增大するため、PMOSFETの高速化を図ることが可能となる(IEEE ELECTRON DEVICE LETTERS, VOL15, NO. 10, 1994, P402-405)。ここで、圧縮歪状態のSiGe層を形成するためには、SiGe層の膜厚をGeの組成比と成長温度により決定される臨界膜厚以下にする必要がある(J. Appl. Phys, vol70, No. 4, 1991, P2136-2151)。

【0006】

【発明が解決しようとする課題】高集積で低消費電力のLSIを製造するためにはNMOSFETとPMOSFETとを組み合わせる集積化トランジスタを形成しなければならない。しかしながら上述の引っ張り歪状態のSi層を用いたNMOSFETと、圧縮歪状態のSiGe層を用いたPMOSFETでは必要とされるSiGe層の歪状態が異なることから、同一基板上に集積化することは困難である。

【0007】本発明は、上記問題に鑑みてなされたもので、その目的は同一基板上に引っ張り歪状態のSi層と圧縮歪状態のSiGe層とを整合性よく作製することにより高速・高性能な集積化トランジスタを提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために本発明(請求項1)は、シリコン基板と、このシリコン基板上に形成された絶縁層と、この絶縁層上に形成されたシリコン層と、このシリコン層上に形成された格子

緩和状態のシリコンゲルマニウム層と、このシリコンゲルマニウム層上に形成された引っ張り歪み状態のシリコン層と、この引っ張り歪み状態のシリコン層中に形成されたソース領域、チャネル領域、ドレイン領域と、このチャネル領域上に形成されたゲート領域と、前記シリコン基板の前記絶縁層が形成されていない表面に直接形成された、圧縮歪み状態のシリコンゲルマニウム層と、この圧縮歪み状態のシリコンゲルマニウム層中に形成されたソース領域、チャネル領域、ドレイン領域と、このチャネル領域上に形成されたゲート領域とを具備することを特徴とする半導体装置を提供する。

【0009】また本発明(請求項2)は、前記格子緩和状態のシリコンゲルマニウム層と、前記圧縮歪み状態のシリコンゲルマニウム層とを同時に形成していることを特徴とする請求項1記載の半導体装置を提供する。

【0010】また本発明は(請求項3)は、シリコン基板と、このシリコン基板上に形成された絶縁層と、この絶縁層上に形成された第1の領域のシリコン層と、前記絶縁層上に形成され前記第1の領域のシリコン層の膜厚よりも厚い第2の領域のシリコン層と、前記第1の領域のシリコン層上に形成された格子緩和状態のシリコンゲルマニウム層と、このシリコンゲルマニウム層上に形成された引っ張り歪み状態のシリコン層と、この引っ張り歪み状態のシリコン層中に形成されたソース領域、チャネル領域、ドレイン領域と、このチャネル領域上に形成されたゲート領域と、前記第2の領域のシリコン層上に形成された圧縮歪み状態のシリコンゲルマニウム層と、この圧縮歪み状態のシリコンゲルマニウム層中に形成されたソース領域、チャネル領域、ドレイン領域と、このチャネル領域上に形成されたゲート領域とを具備することを特徴とする半導体装置を提供する。

【0011】また本発明(請求項4)は、前記引っ張り歪み状態のシリコン層中に形成されたチャネル領域を主に電子の流れる領域とし、前記圧縮歪み状態のシリコンゲルマニウム中に形成されたチャネル領域を主に正孔の流れる領域としていることを特徴とする請求項1、2或いは3記載の半導体装置を提供する。

【0012】また本発明(請求項5)は、シリコン基板上に絶縁層を介してシリコン層が形成された基板を準備し、前記シリコン層及び前記絶縁層の一部を開口し前記シリコン基板の表面を露出する工程と、エピタキシャルプロセスにより、前記絶縁層上の前記シリコン層上には格子緩和状態のシリコンゲルマニウム層を、前記シリコン基板の露出した表面上には圧縮歪状態のシリコンゲルマニウム層を同時に形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0013】また本発明(請求項6)は、部分的に開口された絶縁層を表面に有するシリコン基板全面に非晶質シリコン層を形成する工程と、熱処理によって、前記開口された絶縁層のシリコン基板表面が露出している部分

(4)

から前記非晶質シリコンを結晶化する工程と、エピタキシャルプロセスにより、前記絶縁層上に形成された結晶化シリコン層上には格子緩和状態のシリコンゲルマニウム層、前記絶縁層の開口部に形成された結晶化シリコン基板上には圧縮歪状態のシリコンゲルマニウム層を同時に形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0014】また本発明（請求項7）は、イオン注入及びその後の熱処理によって、シリコン基板の内部に部分的に絶縁層を形成する工程と、エピタキシャルプロセスにより、前記シリコン基板の絶縁層が存在する領域上には格子緩和状態のシリコンゲルマニウム層を、前記シリコン基板の絶縁層が存在しない領域上には圧縮歪状態のシリコンゲルマニウム層を同時に形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0015】さらに本発明（請求項8）は、エピタキシャルプロセスにより、前記格子緩和状態のシリコンゲルマニウム層上に、引っ張り歪状態のシリコン層を形成することを特徴とする請求項5、6或いは7記載の半導体装置の製造方法を提供する。

【0016】

【発明の実施の形態】以下に本発明を図面を参照して詳細に説明する。

【0017】（実施例1）図1から図9は、本発明の第1の実施例に係る半導体装置の製造方法を示す各工程での断面図である。先ず図1に示すように、表面に厚さ5nm程度のSi層（SOI層）2と、厚さ100nm程度の絶縁層3を有するシリコン基板1を準備する。ここでSOI層2は、これを熱酸化する工程と、その後この熱酸化膜をエッチングする工程とを繰り返すことにより所望の厚さに薄膜化することができる。ここで、SOI層の膜厚は、ある適切な厚さ、即ちこの上に積層されるSiGe層4を格子緩和状態にするために十分に薄い4nm～150nmの範囲が好ましい。

【0018】次に図2に示すように、このシリコン基板1のSOI層2と絶縁層3を選択エッチングすることにより開口部20を形成し、シリコン基板1の単結晶表面を露出する。

【0019】次に図3に示すように、このシリコン基板1を例えばRCA法において洗浄した後、エピタキシャルプロセスにより厚さ30nm程度のSi<sub>0.7</sub>Ge<sub>0.3</sub>層4を成長温度500℃で形成後、結晶成長炉内にて1000℃、1時間程度の熱処理を施し、絶縁層3上のSi<sub>0.7</sub>Ge<sub>0.3</sub>層4を格子緩和させた。このとき開口部上に形成したSi<sub>0.7</sub>Ge<sub>0.3</sub>層4を圧縮歪状態にするために、その膜厚をGe組成比と成長温度で決まる臨界膜厚以下にする必要がある。ここで、SiGe層4のGe百分率は、20～50%の範囲が望ましい。Ge百分率20%未満ではこの上に積層される引っ張り歪状態のSi層5において、移動度の増大が望めないから

である。一方、50%より大きい場合にはSiGe層4の膜質及びモフォロジーが低下し、やはり電気的特性の向上は望むことができない。またSiGe層4の膜厚は、成長温度を500℃程度としたときGe百分率20～50%に対応して、40～300nmの範囲が好ましい。それは上記範囲より大きい場合には、開口部20に形成されるSiGe層4を圧縮歪状態にすることが困難だからである。

【0020】次に同じくエピタキシャルプロセスにより成長温度500℃で、Si<sub>0.7</sub>Ge<sub>0.3</sub>層4上に厚さ30nmのSi層5を形成した。この結果、格子緩和したSi<sub>0.7</sub>Ge<sub>0.3</sub>層4上には、引っ張り歪み状態のSi層5が形成される。この後、基板上にP型及びN型ウェル領域（不図示）を形成する。

【0021】次に図4に示すように、LOCOS分離法、或いはトレンチ分離法により素子分離領域6を形成して、NMOSFETの形成予定領域とPMOSFETの形成予定領域とを素子分離する。

【0022】次に図5に示すように、レジストを塗布し、露光、現像を行って、NMOSFETの形成予定領域にレジストパターン7を形成する。このレジストパターン7をマスクとしてPMOSFET形成予定領域の表面のSi層5を通常のCDE（ケミカル・ドライ・エッチング）やRIE（反応性イオンエッチング）を用いて5nm程度に薄膜化する。本工程は後にSi層5を熱酸化してできるだけ薄いゲート酸化膜を形成することにより、MOSFETの短チャネル効果の抑制と駆動電流の向上を図るために必要である。そのためにはSi層5の膜厚を5nm以下にすることが望ましい。

【0023】次に図6に示すように、レジストパターン7を除去した後、表面全体を熱酸化して厚さ10nm程度のゲート酸化膜8を形成する。このときPMOSFET形成領域側の熱酸化膜は、圧縮歪状態のSi<sub>0.7</sub>Ge<sub>0.3</sub>層4まで熱酸化が及ぶことなく形成されることが望ましい。一般に、SiGe層を熱酸化してゲート絶縁膜を形成した場合、界面準位密度が高くなりデバイス動作時にリーク電流増大の原因となるからである。この後チャネル層にはゲート酸化膜を介して、しきい値調整用のイオン注入を行い、Nチャネル領域（不図示）、Pチャネル領域（不図示）を形成する。

【0024】次に図7に示すように、ゲート酸化膜上に減圧CVD法により多結晶シリコン層を形成した後、この多結晶シリコン層をRIEにより加工して、ゲート電極9を形成する。このとき同時にRIEによりゲート酸化膜8も同時にパターニングする。

【0025】次に図8に示すように、ゲート電極9をマスクとして、NMOSFET形成領域にリンを選択的にイオン注入して、N型ソース領域10、N型ドレイン領域11を形成し、またPMOSFET形成予定領域にボロンを選択的にイオン注入して、P型ソース領域12、P型ドレイン領域13を形成する。この後800℃程度の熱処理によって不純物

(5)

の活性化を行う。

【0026】次に図9に示すように、全面にシリコン酸化膜などの層間絶縁膜14をCVD法により形成した後、この層間絶縁膜14に各MOSFET領域に対するコンタクトホールを開口する。最後に、全面にAl膜等の導電膜を堆積した後、この導電膜をパターニングして、ソース電極15、ドレイン電極16、ゲート引き出し電極(不図示)、ソース電極17、ドレイン電極18を形成して、集積化トランジスタが完成する。

【0027】本実施例によれば、引っ張り歪状態のSi層をチャネル領域に用いたNMOSFETと圧縮歪状態のSiGe層をチャネル領域に用いたPMOSFETを同一基板上に作製できるため、その結果両歪層の特性を十分引き出し集積化トランジスタの高速・高性能化を図ることができる。

【0028】また、本実施例では基板にSOI構造を利用しているため、その長を活かしてデバイスの寄生容量の大幅な低減も可能となり、その結果集積化トランジスタの高速・高性能化を促進することができる。また、本実施例ではSiGe層を形成する前にSOI層と絶縁膜層を同一の幅で選択エッチングしたが、NMOSFETチャネル形成領域の直下部分にのみSOI層を残すように選択エッチングした場合でも本発明を達成することができる。

【0029】(実施例2)図10から図12は、本発明の第2の実施例に係る半導体装置の製造方法を示す各工程での断面図である。

【0030】なお実施例1における半導体装置と対応する部分には同一符号を付し、その詳細な説明は省略する。本実施例の半導体装置が実施例1と主として異なる点は、SOI構造を固相エピタキシャルプロセスにより形成する点である。

【0031】まず図10に示すように、表面に絶縁膜3を有するSi基板1を選択エッチングにより一部開口する。次に図11に示すように、基板表面全体にCVD法により厚さ20nm程度の非晶質Si膜2を形成する。この後この基板を例えば電気炉を用いてN<sub>2</sub>雰囲気中で600℃程度の熱処理を行うと、開口部から非晶質Si膜2を結晶化することによりSOI構造を作製することができる。その後の工程は実施例1に示したものを同様に用いることができる。図12に本実施例の集積化トランジスタの構造を示す。

【0032】(実施例3)図13から図15は、本発明の第3の実施例に係る半導体装置の製造方法を示す各工程での断面図である。

【0033】なお実施例1における半導体装置と対応する部分には同一符号を付し、その詳細な説明は省略する。本実施例の半導体装置が実施例1と主として異なる点は、選択エッチングを用いてNMOSFET及びPMOSFET形成予定領域各々のSOI層の膜厚を制御することにより、格子緩和状態のSiGe層と、圧縮歪み状態のSiGe層を同一基板上に形成する点にある。

【0034】まず図13に示すように、表面に厚さ500nm程度のSi層(SOI層)2と、厚さ100nm程度の絶縁層3を有するシリコン基板1を準備する。次に図14に示すように、シリコン基板1表面のSi層2を選択エッチングによりNMOSFET形成予定領域側を5nm程度に、PMOSFET形成予定領域側を100nm程度に薄膜化する。薄膜化する方法としてはRIE、CDE、熱酸化とウエットエッチングプロセスの繰り返し等がある。

【0035】このような基板を例えばRCA法において洗浄した後、エピタキシャルプロセスにより成長温度500℃で30nm程度のSi<sub>0.7</sub>Ge<sub>0.3</sub>層4と30nm程度のSi層を連続して成長する。この結果、NMOSFET形成予定領域側には引っ張り歪状態のSi層を、またPMOSFET形成予定領域側には圧縮歪状態のSi<sub>0.7</sub>Ge<sub>0.3</sub>層を形成することができる。ここでPMOSFET形成予定領域側のSi<sub>0.7</sub>Ge<sub>0.3</sub>層を圧縮歪状態にするためには、その膜厚をGe組成比と成長温度で決まる臨界膜厚以下にする必要がある。その後の工程は実施例1に示した製造工程と同様に行えばよい。図15に本実施例による集積化トランジスタの断面図を示す。

【0036】(実施例4)図16から図17は、本発明の第4の実施例に係る半導体装置の製造方法を示す各工程での断面図である。また図18はこの半導体装置を上方から見た平面図である。なお実施例1における半導体装置と対応する部分には同一符号を付し、その詳細な説明は省略する。本実施例の半導体装置が実施例1と主として異なる点は、SOI基板を酸素のイオン注入及びその後の熱処理プロセスにより形成する点にある。

【0037】まず図16に示すように、Si基板1の表面を酸化して厚さ1μm程度の酸化膜を形成し、この酸化膜を通常のフォトリソ法にて、パターニングすることにより、PMOSFET形成予定領域に酸化膜パターン19を形成する。

【0038】次に図17に示すように、酸化膜パターン19をマスクとして酸素のイオン注入を行い、Si基板1中に酸素の高濃度層3を形成する。イオン注入の条件は、注入エネルギー180KeV、注入量4E17cm<sup>-2</sup>、基板温度600℃とした。

【0039】次に酸化膜パターンを除去した後、試料基板を例えば電気炉を用いてアルゴンと酸素の混合ガス雰囲気中で1350℃、4時間程度の熱処理を行うことにより、埋め込み酸化膜層3とその表面に結晶性を保持したSOI層3を形成する。

【0040】この後の工程は、実施例1に示したものを同様に用いることができる。図18に本実施例の集積化トランジスタの構造を示す。図19はこの集積化トランジスタの平面図である。同図において、PMOSFETのチャネル領域(斜線部分)の下には埋め込み酸化膜層3がないため、この領域に形成されたSiGe層4は圧縮歪を受けている。ここでSiGe層4を圧縮歪状態にするためには、

(6)

その膜厚をGe組成比と成長温度で決まる臨界膜厚以下にする必要がある。また、本実施例ではSOI基板を作製する際にイオン注入の元素として酸素を用いたが、窒素を元素として用いた場合にも本発明を達成することができる。

【0041】(実施例5)図20から図23は、本発明の第5の実施例に係る半導体装置の製造方法を示す各工程での断面図である。また本実施例の半導体装置の断面図は図18と同じである。なお実施例1と対応する部分には同一符号を付してあり、詳細な説明は省略する。

【0042】本実施例の半導体装置が実施例1と主として異なる点は、SOI構造を選択エピタキシャルプロセスと固相エピタキシャルプロセスとにより形成する点である。先ず図20に示すように、表面に絶縁膜3を有するSi基板1を準備する。

【0043】次に図21に示すように、絶縁膜3を選択エッチングにより一部開口する。次に図22に示すように、前記開口部分に選択エピタキシャルプロセスにより単結晶Si膜21を形成する。

【0044】次に図23に示すように、基板表面全体にCVD法により厚さ20nm程度の非晶質Si膜2を形成する。非晶質Si膜2の厚さは、この後この上に積層されるSi<sub>0.7</sub>Ge<sub>0.3</sub>層4の膜厚よりも薄くする。次にこの基板を、例えば電気炉を用いてN<sub>2</sub>雰囲気中で600℃程度の熱処理を行うと、開口部の単結晶Si膜21を種部として非晶質Si膜2を結晶化することによりSOI構造を作製することができる。その後実施例1に示した製造工程に従えば、同様な集積化トランジスタを作製することができる。本発明の要旨を逸脱しない範囲で種々の変形が可能である。

【0045】

【発明の効果】以上説明したように本発明によれば、同一基板上に引っ張り歪Si層を用いたNMOSFETと圧縮歪SiGe層を用いたPMOSFETを整合性よく形成できるため、それら二つの歪層の特性を十分に引き出した高速・高性能な集積化トランジスタを実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例に係る半導体装置の製造方法の各工程の断面図。

【図2】 本発明の第1の実施例に係る半導体装置の製造方法の各工程の断面図。

【図3】 本発明の第1の実施例に係る半導体装置の製造方法の各工程の断面図。

【図4】 本発明の第1の実施例に係る半導体装置の製造方法の各工程の断面図。

【図5】 本発明の第1の実施例に係る半導体装置の製

造方法の各工程の断面図。

【図6】 本発明の第1の実施例に係る半導体装置の製造方法の各工程の断面図。

【図7】 本発明の第1の実施例に係る半導体装置の製造方法の各工程の断面図。

【図8】 本発明の第1の実施例に係る半導体装置の製造方法の各工程の断面図。

【図9】 本発明の第1の実施例に係る半導体装置の断面図。

10 【図10】 本発明の第2の実施例に係る半導体装置の製造方法の各工程の断面図。

【図11】 本発明の第2の実施例に係る半導体装置の製造方法の各工程の断面図。

【図12】 本発明の第2の実施例に係る半導体装置の断面図。

【図13】 本発明の第3の実施例に係る半導体装置の製造方法の各工程の断面図。

【図14】 本発明の第3の実施例に係る半導体装置の製造方法の各工程の断面図。

20 【図15】 本発明の第3の実施例に係る半導体装置の断面図。

【図16】 本発明の第4の実施例に係る半導体装置の製造方法の各工程の断面図。

【図17】 本発明の第4の実施例に係る半導体装置の製造方法の各工程の断面図。

【図18】 本発明の第4、5の実施例に係る半導体装置の断面図。

【図19】 本発明の第4の実施例に係る半導体装置の上面図。

30 【図20】 本発明の第5の実施例に係る半導体装置の製造方法の各工程の断面図。

【図21】 本発明の第5の実施例に係る半導体装置の製造方法の各工程の断面図。

【図22】 本発明の第5の実施例に係る半導体装置の製造方法の各工程の断面図。

【図23】 本発明の第5の実施例に係る半導体装置の製造方法の各工程の断面図。

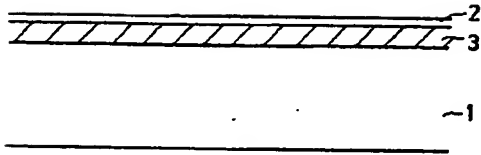
【符号の説明】

1…シリコン基板；2…SOI層；3…絶縁層；4…シリコンゲルマニウム層；5…シリコン層；6…素子分離層；7…レジストパターン；8…ゲート酸化膜；9…ゲート電極；10…N型ソース領域基板；11…N型ドレイン領域；12…P型ソース領域；13…P型ドレイン領域；14…層間絶縁膜；15…ソース電極；16…ドレイン電極；17…ソース電極；18…ドレイン電極

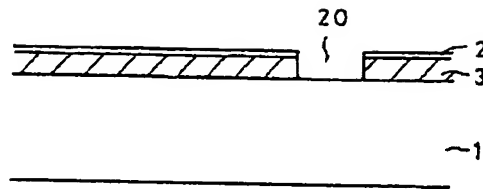


(7)

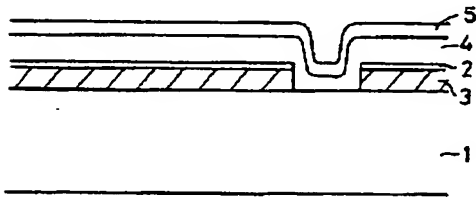
【図1】



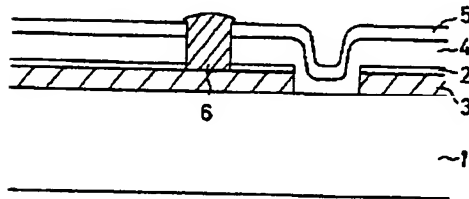
【図2】



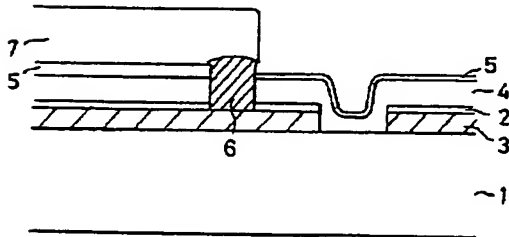
【図3】



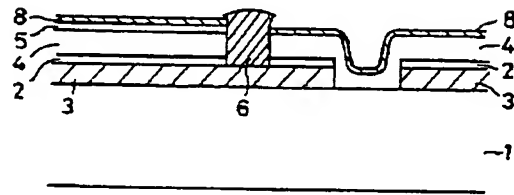
【図4】



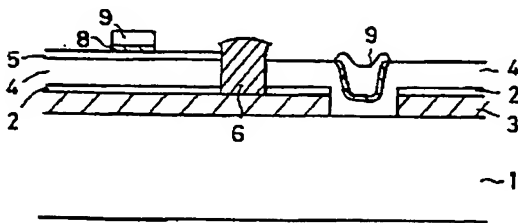
【図5】



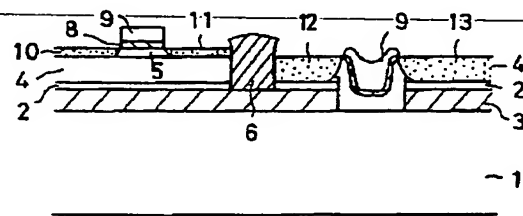
【図6】



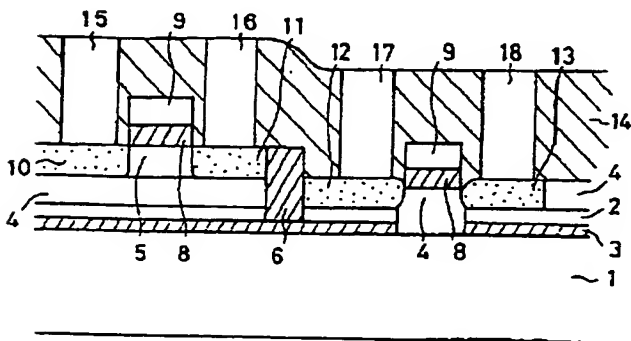
【図7】



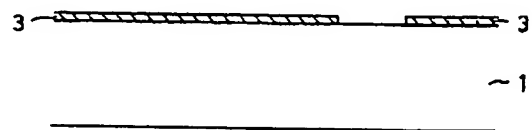
【図8】



【図9】



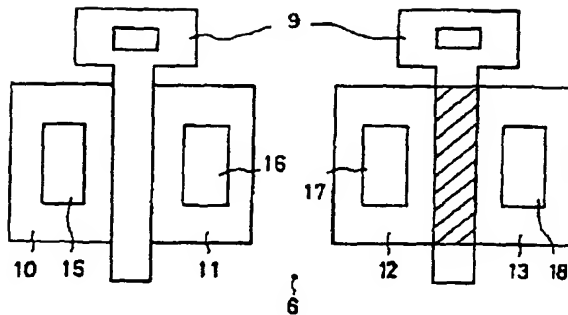
【図10】



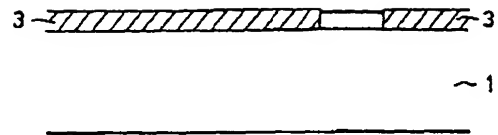


(9)

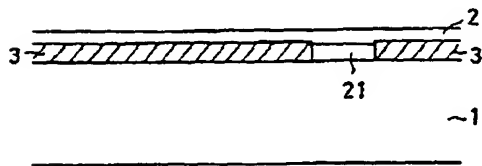
【図19】



【図22】



【図23】



フロントページの続き

(72) 発明者 手塚 勉  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 平岡 佳子  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 黒部 篤  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

